

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
27. Februar 2003 (27.02.2003)

PCT

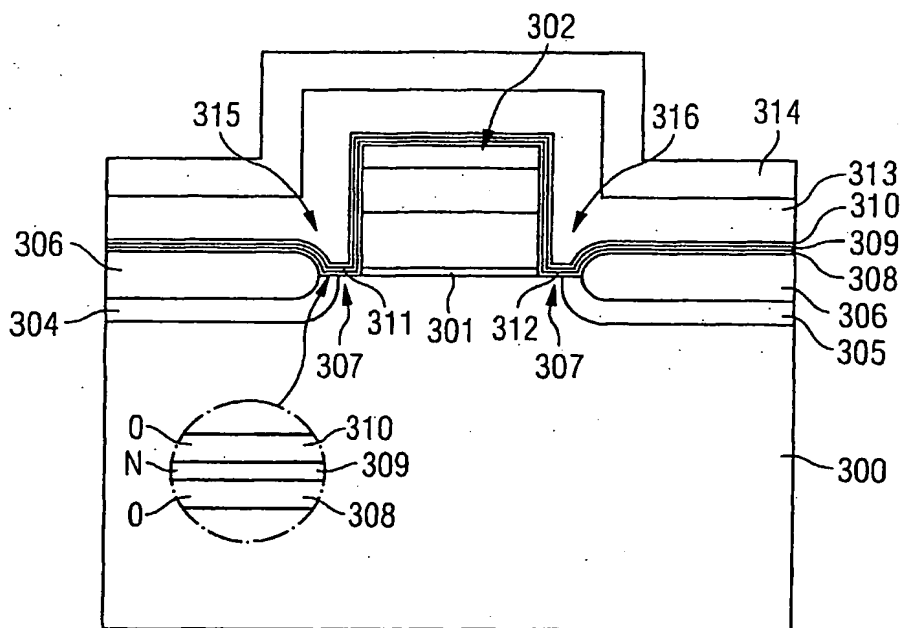
(10) Internationale Veröffentlichungsnummer
WO 03/017374 A2

- (51) Internationale Patentklassifikation⁷: **H01L 29/792**, 27/115
- (72) Erfinder; und
(75) Erfinder/Anmelder (nur für US): **HOFMANN, Franz** [DE/DE]; Herbergstrasse 25B, 80995 München (DE).
WILLER, Josef [DE/DE]; Friedrich-Fröbel-Strasse 62, 85521 Riemerling (DE).
- (21) Internationales Aktenzeichen: **PCT/DE02/02759**
- (22) Internationales Anmeldedatum:
26. Juli 2002 (26.07.2002)
- (74) Anwalt: **VIERING, JENTSCHURA & PARTNER**; Steinsdorfstrasse 6, 80538 München (DE).
- (25) Einreichungssprache: **Deutsch**
- (81) Bestimmungsstaaten (national): **BR, CA, CN, IL, IN, JP, KR, MX, RU, UA, US.**
- (26) Veröffentlichungssprache: **Deutsch**
- (84) Bestimmungsstaaten (regional): **europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR).**
- (30) Angaben zur Priorität:
101 38 585.4 6. August 2001 (06.08.2001) **DE**
- (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-Martin-Strasse 53, 81669 München (DE).
- Veröffentlicht:
— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

[Fortsetzung auf der nächsten Seite]

(54) Title: **MEMORY CELL**

(54) Bezeichnung: **SPEICHERZELLE**



(57) Abstract: The invention relates to a memory cell comprising a source region, a drain region, a control gate which is situated on the source side, a control gate which is situated on the drain side, an injection gate which is arranged between the source-side control gate and the drain-side control gate, a source-side memory element which is arranged in relation to the source-side control gate, and a drain-side memory element which is arranged in relation to the drain-side control gate. In order to program the memory cell, a low electrical voltage is applied to the injection gate and a high electrical voltage is applied to the control gate.

[Fortsetzung auf der nächsten Seite]

WO 03/017374 A2



Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) Zusammenfassung: Eine Speicherzelle weist auf: einen Source-Bereich, einen Drain-Bereich, ein Source-seitiges Steuergate, ein Drain-seitiges Steuergate, ein zwischen dem Source-seitigen Steuergate und dem Drain-seitigen Steuergate angeordnetes Injektionsgate, ein beim Source-seitigen Steuergate angeordnetes Source-seitiges Speicherelement und ein beim Drain-seitigen Steuergate angeordnetes Drain-seitiges Speicherelement. Zum Programmieren der Speicherzelle wird an das Injektionsgate eine niedrige und an die Steuergates eine hohe elektrische Spannung angelegt.

Beschreibung

Speicherzelle

Die Erfindung betrifft eine Speicherzelle.

Computer mit Speicheranordnungen kommen bei den unterschiedlichsten Anwendungen zum Einsatz, sei es als Großrechner, als Personal Computer, in Waschmaschinen, in Küchengeräten, in Kraftfahrzeugen, in Telefonen, in Anrufbeantwortern oder in sonstigen Anwendungen. Ein Computer ist hierbei im weitesten Sinne als eine elektronische Steuer- und/oder Recheneinrichtung zu verstehen.

Die Speicheranordnung des Computers dient zum dauerhaften oder zwischenzeitlichen Speichern von Daten, zum Beispiel von Parametern, die zum Betrieb des Computers erforderlich sind, oder von Rechenergebnissen, die beim Betrieb des Computers vom Computer erzeugt werden.

Die Speicheranordnung weist einen Speicher mit mindestens einer, in der Regel mit einer Mehrzahl von Speicherzellen auf. Jede Speicherzelle weist ein Speicherelement auf, in dem eine elektrische Ladungsmenge abgespeicherbar ist, um so den Speicherinhalt der Speicherzelle einzustellen.

Bei den Speicherzellen gibt es flüchtige und nichtflüchtige Speicherzellen. Bei einer flüchtigen Speicherzelle verbleibt ein in dem Speicherelement abgespeicherter Speicherinhalt für typischerweise nur ungefähr eine Sekunde in dem Speicherelement. Der Speicherinhalt muss daher periodisch aufgefrischt werden. Bei einer nichtflüchtigen Speicherzelle verbleibt ein in dem Speicherelement abgespeicherter Speicherinhalt für eine Speicherzeit von in der Größenordnung von Jahren dauerhaft in dem Speicherelement.

Eine nichtflüchtige Speicherzelle auf MOSFET-Basis (MOSFET = metal oxide semiconductor field effect transistor) basiert auf

einem MOSFET mit einem Source-Bereich, einem Drain-Bereich, einem zwischen dem Source-Bereich und dem Drain-Bereich verlaufenden Kanalbereich, einer zum Steuern des Kanalbereichs angeordneten Gate-Elektrode (Steuergate) und einer zwischen der Gate-Elektrode (Steuergate) und dem Kanalbereich angeordneten Gateoxidschicht.

Bei der nichtflüchtigen Speicherzelle auf MOSFET-Basis wird die Gate-Elektrode als Steuergate verwendet. Zwischen dem Steuergate und der Gateoxidschicht über dem Kanalbereich ist ein Speicherelement zum Abspeichern eines Speicherinhalts der Speicherzelle vorgesehen. Das Speicherelement weist sowohl zum Kanalbereich hin als auch zum Steuergate hin eine Potentialbarriere auf. Dadurch, dass an das Steuergate eine geeignete, betragsmäßig ausreichend hohe elektrische Spannung angelegt wird, sind elektrische Ladungsträger aus dem Kanalbereich in das Speicherelement ladbar oder aus dem Speicherelement heraus in den Kanalbereich entladbar. Dadurch lässt sich ein Speicherinhalt der Speicherzelle wahlweise programmieren oder löschen.

Ein Beispiel für einen nichtflüchtigen Speicher ist der EEPROM (Electrically Erasable Programmable Read Only Memory). Beim EEPROM lässt sich ein einprogrammierter Speicherinhalt durch Anlegen einer elektrischen Spannung wieder löschen.

Bei den nichtflüchtigen Speicherzellen auf MOSFET-Basis gibt es dem Aufbau nach floating gate Speicherzellen und MIOS-Speicherzellen (MIOS = metal insulator oxide semiconductor).

Bei einer floating gate Speicherzelle ist das Speicherelement durch ein metallisch leitfähiges floating gate gebildet.

Bei einer MIOS-Speicherzelle ist das Speicherelement aus einem Isolator-Speicherelement aus (mindestens) einem Isolatormaterial gebildet. Der Speicherinhalt des Speicherelements ist durch eine Ladungsmenge von in dem Isolator-Speicherelement lokalisierten („getrappten“) elektrischen Ladungsträgern gebildet.

Zum Programmieren einer Speicherzelle auf MOSFET-Basis muss im Kanalbereich des MOSFET ein elektrischer Strom aufrechterhalten werden.

Damit eine Speicherzelle effizient eingesetzt und betrieben werden kann, wird angestrebt, den Stromverbrauch beim Programmieren der Speicherzelle zu verringern.

Aus [1] ist eine floating gate Speicherzelle bekannt. Die Speicherzelle aus [1] weist einen Source-Bereich, einen Drain-Bereich, einen Kanalbereich, eine Speicherelement-Anordnung mit einem floating gate und einem darüber angeordneten Steuergate sowie ein neben der Speicherelement-Anordnung vorgesehenes Source-seitiges seitliches Auswahl-Gate auf. Zum Programmieren der Speicherzelle aus [1] wird an das Auswahl-Gate eine vergleichsweise niedrige Spannung angelegt, um im Kanalbereich einen kleinen elektrischen Stromfluss zu erzeugen. An das Steuergate wird eine elektrische Spannung angelegt, die ausreichend hoch ist, um elektrische Ladungsträger in das floating gate zu laden. Die an das Auswahl-Gate angelegte elektrische Spannung kann bei der Speicherzelle aus [1] deutlich niedriger sein als die zum Laden des floating gate erforderliche Spannung. Dadurch ist eine Programmierung mit einem geringeren Strom als bei einer floating gate Speicherzelle ohne Auswahl-Gate möglich. Die Spannung für das Auswahl-Gate muss dabei andererseits ausreichend groß gewählt sein, dass elektrische Ladungsträger aus dem Source-Bereich in den Kanalbereich gelangen können, so dass zwischen dem Source-Bereich und dem Drain-Bereich ein durchgehender elektrisch leitfähiger Kanal ausgebildet wird.

Andererseits wird zur Erhöhung der Effizienz einer Speicherzelle oder einer Anordnung von Speicherzellen versucht, eine möglichst hohe Integrationsdichte zu erzielen, d.h. möglichst viele einzelne Speicherinhalte pro Fläche oder pro Volumen unterzubringen.

Hierzu wird typischerweise die Strukturgröße jeder einzelnen Speicherzelle verringert.

Aus [2] ist ein nichtflüchtiger Halbleiterspeicher bekannt, bei dem ein oberhalb einer ersten ONO-Speicherschicht und oberhalb eines Source-Bereichs angeordneter erster Gate-Bereich-Abschnitt, ein oberhalb einer zweiten ONO-Speicherschicht und oberhalb eines Drain-Bereichs angeordneter zweiter Gate-Bereich-Abschnitt und ein oberhalb eines Kanal-Bereichs und oberhalb einer Gate-isolierenden Schicht angeordneter dritter Gate-Bereich-Abschnitt vorgesehen sind, wobei die ersten, zweiten und dritten Gate-Bereich-Abschnitte miteinander elektrisch gekoppelt sind.

Ferner ist in [3] (Anmeldetag: 28. Juli 2000, Offenlegungstag: 14. Februar 2002) eine Speicherzelle mit zwei ONO-Speicherschichten vorgeschlagen, von denen eine an einen Source-Bereich und die andere an einen Drain-Bereich angrenzt. Die Leitfähigkeit eines Kanal-Bereichs wird mittels eines darüber angeordneten Gate-Bereichs sowie mittels zweier mit dem Gate-Bereich über eine Anschlussleitung gekoppelter seitlicher Gate-Komponenten gesteuert, wobei zwischen dem Kanal-Bereich und dem Gate-Bereich eine Gate-isolierende Schicht angeordnet ist.

Der Erfindung liegt das Problem zugrunde, eine effiziente, stromsparende und zuverlässige Speicherzelle zu schaffen.

Das Problem wird gelöst durch eine Speicherzelle mit den Merkmalen gemäß dem unabhängigen Patentanspruch.

Geschaffen wird eine Speicherzelle mit:

- einem Substrat,
- einem im Substrat ausgebildeten Source-Bereich,
- einem im Substrat ausgebildeten Drain-Bereich,
- einem zwischen dem Source-Bereich und dem Drain-Bereich verlaufenden Kanalbereich mit einer veränderbaren elektrischen Leitfähigkeit,
- einem Source-seitigen Steuergate, das sich zumindest teilweise über einem sich an den Source-Bereich anschließenden Source-seitigen Randabschnitt des Kanalbereichs erstreckt und zum Verändern der elektrischen Leitfähigkeit des Source-seitigen Randabschnitts ausgebildet ist,

einem Drain-seitigen Steuergate, das sich zumindest teilweise über einem sich an den Drain-Bereich anschließenden Drain-seitigen Randabschnitt des Kanalbereichs erstreckt und zum Verändern der elektrischen Leitfähigkeit des Drain-seitigen Randabschnitts ausgebildet ist,

einem zwischen dem Source-seitigen Steuergate und dem Drain-seitigen Steuergate angeordneten Injektionsgate, das sich über einem mittleren Abschnitt des Kanalbereichs erstreckt und zum Verändern der elektrischen Leitfähigkeit des mittleren Abschnitts ausgebildet ist, wobei der mittlere Abschnitt sich zwischen dem Source-seitigen Randabschnitt und dem Drain-seitigen Randabschnitt des Kanalbereichs erstreckt,

einem Source-seitigen Speicherelement, das sich zumindest zwischen dem Source-seitigen Randabschnitt und dem Source-seitigen Steuergate erstreckt, und

einem Drain-seitigen Speicherelement, das sich zumindest zwischen dem Drain-seitigen Randabschnitt und dem Drain-seitigen Steuergate erstreckt,

einer Gateoxidanordnung, die zumindest eine Gateoxidschicht aufweist, die sich zwischen dem Substrat einerseits und dem Source-seitigen Steuergate, dem Drain-seitigen Steuergate und dem Injektionsgate andererseits erstreckt.

Im Source-seitigen Speicherelement und im Drain-seitigen Speicherelement lässt sich je ein gesonderter Speicherinhalt und somit je ein Bit an Daten abspeichern. Damit ist bei der Speicherzelle die Speicherkapazität im Vergleich zu einer Speicherzelle mit nur einem Speicherelement verdoppelt.

Die Speicherzelle lässt sich außerdem stromsparend und zuverlässig programmieren.

Die Speicherzelle wird nach dem folgenden Verfahren programmiert.

An den Source-Bereich wird eine (elektrische) Source-Spannung mit einem Source-Spannungs-Wert angelegt. An den Drain-Bereich wird eine (elektrische) Drain-Spannung mit einem Drain-

Spannungs-Wert angelegt. Dabei sind der Source-Spannungs-Wert und der Drain-Spannungs-Wert unterschiedlich. Zwischen dem Source-Bereich und dem Drain-Bereich liegt somit eine Source-Drain-Spannung an, deren Wert gleich der Differenz des Source-Spannungs-Werts und der Drain-Spannungs-Werts ist.

An das Injektionsgate ist eine elektrische Injektionsgate-Spannung mit einem Injektionsgate-Spannungswert angelegt. An das Source-seitige Steuergate ist eine elektrische Source-Steuergate-Spannung mit einem Source-Steuergate-Spannungswert angelegt. An das Drain-seitige Steuergate ist eine elektrische Drain-Steuergate-Spannung mit einem Drain-Steuergate-Spannungswert angelegt. Dabei sind der Source-Steuergate-Spannungswert und der Drain-Steuergate-Spannungswert jeweils dem Betrag nach größer als der Injektionsgate-Spannungswert.

Der Source-Steuergate-Spannungswert und der Drain-Steuergate-Spannungswert können hierbei gleich sein.

Zum Programmieren des Drain-seitigen Speicherelements wird also zwischen dem Source-Bereich und dem Drain-Bereich eine geeignete elektrische Spannung angelegt. Mittels des Source-seitigen Steuergates werden elektrische Ladungsträger vom Source-Bereich in den Source-seitigen Randabschnitt des Kanalbereichs unter dem Source-seitigen Steuergate geladen. Dazu wird an das Source-seitige Steuergate eine betragsmäßig vergleichsweise hohe elektrische Spannung angelegt, wobei es noch nicht zu einem Tunnelprozess von Ladungsträgern in das Source-seitige Speicherelement kommt. An das Injektionsgate wird eine betragsmäßig vergleichsweise niedrige elektrische Spannung angelegt. Dadurch gelangen nur wenige elektrische Ladungsträger in den mittleren Abschnitt des Kanalbereichs, so dass dort ein sehr geringer elektrischer Strom fließt. An das Drain-seitige Steuergate wird eine elektrische Spannung angelegt ist, die ausreichend hoch ist, um elektrische Ladungsträger in das Drain-seitige Speicherelement zu laden. Folglich wird, entsprechend dem geringen elektrischen Strom im

mittleren Kanalbereich, eine geringe Leistung verbraucht
(Leistung = Strom * Spannung).

Bei der Speicherzelle kann aufgrund des Source-seitigen Steuergates der elektrische Strom im mittleren Kanalbereich besonders gering gewählt werden, ohne dass dabei der Fluss des elektrischen Stroms im Kanalbereich zwischen dem Source-Bereich und dem Drain-Bereich unterbrochen wird. Somit ist die Speicherzelle besonders stromsparend programmierbar.

Zum Programmieren des Source-seitigen Speicherelements wird zwischen dem Source-Bereich und dem Drain-Bereich eine geeignete elektrische Source-Drain-Spannung angelegt, die im Vergleich zur Source-Drain-Spannung bei der Programmierung des Drain-seitigen Speicherelements vertauscht gepolt ist und betragsmäßig gleich groß sein kann. Falls die Source-Drain-Spannung betragsmäßig gleich groß ist, können die übrigen Spannungen gleich gewählt sein wie bei der Programmierung des Drain-seitigen Speicherelements.

Bei der Programmierung des Source-seitigen Speicherelements ist durch das Injektionsgate der Stromverbrauch besonders gering.

Das Speicherelement kann Siliziumnitrid aufweisen.

Alternativ oder zusätzlich kann das Speicherelement Siliziumdioxid oder ein anderes geeignetes Isolatormaterial aufweisen.

Das Speicherelement kann integrierter Teil einer ONO-Schicht sein, die aus einer ersten Siliziumdioxidschicht, einer auf der ersten Siliziumdioxidschicht ausgebildeten Siliziumnitridschicht und einer auf der Siliziumnitridschicht ausgebildeten zweiten Siliziumdioxidschicht ausgebildet ist.

Die Gateoxidschicht und die erste Siliziumdioxidschicht können als gesonderte Schichten ausgebildet sein. Alternativ kann die Gateoxidschicht mit der ersten Siliziumdioxidschicht einstückig ausgebildet sein.

Das Source-seitige Steuergate und das Drain-seitige Steuergate können gesondert kontaktiert sein. Dies ist vorteilhaft, falls an das Source-seitige Steuergate und das Drain-seitige Steuergate unterschiedliche elektrische Spannungen angelegt werden sollen.

Vorzugsweise sind das Source-seitige Steuergate und das Drain-seitige Steuergate miteinander elektrisch gekoppelt. In diesem Fall ist für das Source-seitige Steuergate und das Drain-seitige Steuergate zum Anlegen einer jeweiligen Spannung insgesamt nur eine Spannungsquelle erforderlich. Außerdem lässt sich auf diese Weise eine besonders einfache und damit effiziente Programmierung der Speicherzelle erreichen. Zum Beispiel kann zuerst das Drain-seitige Speicherelement programmiert werden, anschließend die Source-Drain-Spannung vertauscht gepolt werden, und danach ohne weitere Veränderungen das Source-seitige Speicherelement programmiert werden, wie weiter oben bereits beschrieben wurde. Alternativ kann zuerst das Source-seitige Speicherelement und danach das Drain-seitige Speicherelement programmiert werden.

Der Kanalbereich kann einen n-Kanal aufweisen. Alternativ kann der Kanalbereich einen p-Kanal aufweisen.

Ein erfindungsgemäße Speicheranordnung, die als EEPROM ausgebildet ist, weist mindestens eine Speicherzelle auf, die wie oben beschrieben aufgebaut ist.

Ausführungsbeispiele der Erfindung sind in den Figuren dargestellt und werden im Weiteren näher erläutert.

Es zeigen:

Fig. 1 eine Speicherzelle gemäß einer ersten Ausführungsform der Erfindung, bei der das Drain-seitige Speicherelement programmiert wird.

Fig. 2 die Speicherzelle aus Fig. 1, bei der die Speicherinhalte des Source-seitigen Speicherelements und des Drain-seitigen Speicherelements gelöscht werden.

Fig. 3a eine Speicherzelle gemäß einer zweiten Ausführungsform der Erfindung im Querschnitt in einem ersten Fertigungszustand während ihrer Herstellung.

Fig. 3b die Speicherzelle gemäß der zweiten Ausführungsform der Erfindung im Querschnitt in einem zweiten Fertigungszustand während ihrer Herstellung.

Fig. 3c die Speicherzelle gemäß der zweiten Ausführungsform der Erfindung im Querschnitt in einem dritten Fertigungszustand während ihrer Herstellung.

Fig. 3d die Speicherzelle gemäß der zweiten Ausführungsform der Erfindung im Querschnitt in einem vierten Fertigungszustand während ihrer Herstellung.

Fig. 3e die Speicherzelle gemäß der zweiten Ausführungsform der Erfindung im Querschnitt in vollendetem Fertigungszustand.

Fig. 3f zwei erfindungsgemäße Speicherzellen wie die in Fig. 3e gezeigte von oben.

Fig. 1 zeigt eine Speicherzelle gemäß einer ersten Ausführungsform der Erfindung, bei der das Drain-seitige Speicherelement programmiert wird.

Die Speicherzelle aus Fig. 1 weist ein Substrat 100 auf, einen im Substrat 100 ausgebildeten n^+ -dotierten Source-Bereich 101, einen im Substrat 100 ausgebildeten n^+ -dotierten Drain-Bereich 102 und einen zwischen dem Source-Bereich 101 und dem Drain-Bereich 102 verlaufenden n-Typ Kanalbereich 103 mit einer veränderbaren elektrischen Leitfähigkeit.

Die Speicherzelle weist weiter ein Source-seitiges Steuergate 104 auf, das sich zumindest teilweise über einem sich an den Source-Bereich 101 anschließenden Source-seitigen Randabschnitt 105 des Kanalbereichs 103 erstreckt und zum

Verändern der elektrischen Leitfähigkeit des Source-seitigen Randabschnitts 105 ausgebildet ist.

Die Speicherzelle weist außerdem ein Drain-seitiges Steuergate 106 auf, das sich zumindest teilweise über einem sich an den Drain-Bereich 102 anschließenden Drain-seitigen Randabschnitt 107 des Kanalbereichs 103 erstreckt und zum Verändern der elektrischen Leitfähigkeit des Drain-seitigen Randabschnitts 107 ausgebildet ist.

Zwischen dem Source-seitigen Steuergate 104 und dem Drain-seitigen Steuergate 106 ist ein Injektionsgate 108 angeordnet, das sich über einem mittleren Abschnitt 109 des Kanalbereichs 103 erstreckt und zum Verändern der elektrischen Leitfähigkeit des mittleren Abschnitts 109 ausgebildet ist. Der mittlere Abschnitt 109 erstreckt sich dabei zwischen dem Source-seitigen Randabschnitt 105 und dem Drain-seitigen Randabschnitt 107 des Kanalbereichs 103.

Die Speicherzelle weist weiter ein Source-seitiges Speicherelement 110 aus Siliziumnitrid auf, das sich zwischen dem Source-seitigen Steuergate 104 einerseits und dem Injektionsgate 108, dem Source-seitigen Randabschnitt 105 sowie dem Source-Bereich 101 andererseits erstreckt.

Weiter weist die Speicherzelle ein Drain-seitiges Speicherelement 111 aus Siliziumnitrid auf, das sich zwischen dem Drain-seitigen Steuergate 106 einerseits und dem Injektionsgate 108, dem Drain-seitigen Randabschnitt 107 sowie dem Drain-Bereich 102 andererseits erstreckt.

Die Speicherzelle weist weiter eine Gateoxidanordnung 112 aus Siliziumdioxid auf. Die Gateoxidanordnung 112 weist eine Gateoxidschicht 113 auf, die sich zwischen dem Substrat 100 einerseits und dem Source-seitigen Steuergate 104, dem Drain-seitigen Steuergate 106 und dem Injektionsgate 108 andererseits erstreckt. Zwischen dem Source-seitigen Steuergate 104 und dem Source-seitigen Speicherelement 110, zwischen dem Source-seitigen Speicherelement 110 und dem Injektionsgate 108, zwischen dem Injektionsgate 108 und dem

Drain-seitigen Speicherelement 111 sowie zwischen dem Drain-seitigen Speicherelement 111 und dem Drain-seitigen Steuergate 106 ist jeweils eine Schicht aus Siliziumdioxid vorgesehen, wobei diese Schichten aus Siliziumdioxid einen Teil der Gateoxidanordnung 112 bilden und mit der Gateoxidschicht 113 einstückig ausgebildet sind.

Im folgenden wird der Vorgang des Programmierens des Drain-seitigen Speicherelements 106 beschrieben.

An den Source-Bereich 101 wird eine elektrische Spannung von 0 V angelegt. An den Drain-Bereich wird eine elektrische Spannung von 5 V angelegt. An das Source-seitige Steuergate 104 und an das Drain-seitige Steuergate 105 wird mittels einer gemeinsamen Spannungsquelle eine elektrische Spannung von 10 V angelegt. An das Injektionsgate 108 wird eine elektrische Spannung von 1,5 V angelegt. Hierdurch werden elektrische Ladungsträger (Elektronen) vom Source-Bereich 101 in den Source-seitigen Randabschnitt 105 des Kanalbereichs 103 injiziert. Aufgrund der niedrigeren Spannung am Injektionsgate 108 fließt im mittleren Abschnitt 109 des Kanalbereichs 103 nur ein geringer Strom. Aufgrund der hohen Spannung am Drain-seitigen Steuergate 106 werden elektrische Ladungsträger (Elektronen) in das Drain-seitige Speicherelement 111 geladen und dort lokalisiert.

Eine Speicherzelle gemäß einer alternativen Ausführungsform der Erfindung weist ein p^+ -dotierten Source-Bereich, einen p^+ -dotierten Drain-Bereich und einen zwischen dem Source-Bereich und dem Drain-Bereich verlaufenden p-Typ Kanalbereich mit einer veränderbaren elektrischen Leitfähigkeit auf.

Fig. 2 zeigt die Speicherzelle aus Fig. 1, bei der die Speicherinhalte des Source-seitigen Speicherelements 110 und des Drain-seitigen Speicherelements 111 gelöscht werden.

An den Source-Bereich 101 und an den Drain-Bereich 102 wird die gleiche positive elektrische Spannung von 5 V angelegt. An das Source-seitige Steuergate 104 und an das Drain-seitige

Steuergate 106 wird die gleiche negative elektrische Spannung von -5 V angelegt. An das Injektionsgate 108 wird eine elektrische Spannung von 0 V angelegt. Dadurch werden Löcher aus dem Kanalbereich 103 in das Source-seitige Speicherelement 110 geladen. Diese Löcher rekombinieren mit im Source-seitigen Speicherelement 110 lokalisierten negativen elektrischen Ladungsträgern. Dadurch wird die negative elektrische Ladung der im Source-seitigen Speicherelement 110 lokalisierten negativen Ladungsträger kompensiert und somit eine Löschung des Speicherinhalts im Source-seitigen Speicherelement 110 bewirkt. In analoger Weise werden Löcher aus dem Kanalbereich 103 in das Drain-seitige Speicherelement 111 geladen. Dadurch wird die negative elektrische Ladung der im Drain-seitigen Speicherelement 111 lokalisierten elektrischen Ladungsträgern kompensiert und somit eine Löschung des Speicherinhalts im Drain-seitigen Speicherelement 111 bewirkt. Zur zusätzlichen Unterstützung der Entladung der Speicherelemente 110, 111 kann an das Injektionsgate 108 alternativ eine negative elektrische Spannung angelegt sein.

Zum Auslesen des im Source-seitigen Speicherelement 110 gespeicherten Speicherinhalts (Bits) kann zwischen dem Source-Bereich 101 (0 V) und dem Drain-Bereich 102 (1,2 V) eine elektrische Spannung von 1,2 V angelegt werden. An das Source-seitige Steuergate 104, an das Drain-seitige Steuergate 106 und an das Injektionsgate 108 wird dann jeweils eine Spannung von ungefähr 2 V angelegt. Zum Auslesen des im Drain-seitigen Speicherelement 111 gespeicherten Speicherinhalts (Bits) wird zwischen dem Source-Bereich 101 (1,2 V) und dem Drain-Bereich 102 (0 V) eine elektrische Spannung von -1,2 V angelegt. Die Spannungen am Source-seitigen Steuergate 104, am Drain-seitigen Steuergate 106 und am Injektionsgate 108 betragen ebenfalls 2 V, d.h. es wird nur die Source-Drain-Spannung vertauscht gepolt.

In der folgenden Tabelle 1 sind typische elektrische Spannungen angegeben, die an die unterschiedlichen Elemente der Speicherzelle anzulegen sind und die in der angegebenen Kombination zum Programmieren, Löschen bzw. Auslesen der Speicherzelle geeignet sind.

Tabelle 1:

	Prog. Drain 111	Prog. Source 110	Löschen	Lesen Source 110	Lesen Drain 111
Drain 102	+5 V	0 V	+5 V	+1,2 V	0 V
Steuergate 104, 106	+10 V	+10 V	-5 V	+2 V	+2 V
Injektionsgate 108	+1,5 V	+1,5 V	0 V	+2 V	+2 V
Source 101	0 V	+5 V	+5 V	0 V	+1,2 V

Im folgenden wird unter Bezugnahme auf Fig. 3a bis 3f ein Verfahren zum Herstellen einer erfindungsgemäßen Speicherzelle beschrieben.

Fig. 3a zeigt eine Speicherzelle gemäß einer zweiten Ausführungsform der Erfindung im Querschnitt in einem ersten Fertigungszustand während ihrer Herstellung.

Als Ausgangsmaterial für die Speicherzelle wird ein p-Typ Substrat 300 verwendet. Auf dem Substrat 300 wird eine 10 nm dicke Gateoxidschicht 301 ausgebildet. Auf der Gateoxidschicht 301 wird eine Injektionsgate-Schicht mit einer Schichtabfolge von nacheinander Polysilizium 302a, Wolframsilizid 302b, TEOS (Tetra-Ethyl-Ortho-Silicate) 302c ausgebildet. Die Injektionsgate-Schicht wird fotolithografisch strukturiert (Fotolithografie und anschließendes Ätzen der Injektionsgate-Schicht), und anschließend wird der Fotolithografie-Lack gestrippt (entfernt), so dass das Injektionsgate 302 ausgebildet wird und somit die in Fig. 3a gezeigte Struktur ausgebildet wird.

Anschließend wird, wie in Fig. 3b gezeigt ist, auf der Struktur aus Fig. 3a eine Siliziumnitridschicht abgeschieden. Die Siliziumnitridschicht wird zurückgeätzt, so dass seitlich

des Injektionsgate 302 Nitrid-Spacer 303 verbleiben und die in Fig. 3b gezeigte Struktur ausgebildet wird.

An der Struktur aus Fig. 3b wird ein Arsen-Implantationsschritt durchgeführt, bei dem ein Source-Bereich 304 und ein Drain-Bereich 305 ausgebildet werden, wie in Fig. 3c gezeigt ist. Zwischen dem Source-Bereich 304 und dem Drain-Bereich 305 erstreckt sich ein Kanalbereich. Nachfolgend wird über dem Source-Bereich 304 und dem Drain-Bereich 305 mittels Oxidation je eine Schicht aus Dickoxid 306 ausgebildet, so dass die in Fig. 3c gezeigte Struktur ausgebildet wird.

Nun werden die Nitrid-Spacer 303 durch einen Nassätzschritt entfernt. Eine Siliziumdioxidschicht wirkt bei diesem Nassätzschritt als Ätzstoppschicht, so dass die Gateoxidschicht 301 nicht angegriffen wird und die in Fig. 3d gezeigte Struktur ausgebildet wird.

Wie in Fig. 3e gezeigt ist, wird ausgehend von der Struktur aus Fig. 3d zunächst ein Siliziumdioxid-Ätzschritt durchgeführt, bei dem die Gateoxidschicht 301 in Bereichen 307 neben dem Injektionsgate 302 entfernt wird (und das Dickoxid 306 ausgedünnt wird). Anschließend wird auf der Oberfläche der teilfertigen Struktur eine untere Oxidschicht 308 aus Siliziumdioxid ausgebildet. Auf der unteren Oxidschicht 308 wird eine Speicherelement-Schicht 309 aus Siliziumnitrid ausgebildet. Auf der Speicherelement-Schicht 309 wird eine obere Oxidschicht 310 aus Siliziumdioxid ausgebildet. Die untere Oxidschicht 308, die Speicherelement-Schicht 309 und die obere Oxidschicht 310 bilden in den Bereichen 307 neben dem Injektionsgate 302 jeweils eine ONO-Schicht (ONO = Oxid-Nitrid-Oxid), so dass ein Source-seitiges Speicherelement 311 und ein Drain-seitiges Speicherelement 312 ausgebildet werden. Das Source-seitige Speicherelement 311 und das Drain-seitige Speicherelement 312 sind jeweils aus der Speicherelement-Schicht 309 aus Siliziumnitrid gebildet und auf der einen Seite von der unteren Oxidschicht 308 und auf der anderen Seite von der oberen Oxidschicht 310 begrenzt.

Auf der oberen Oxidschicht 310 wird eine Polysiliziumschicht 313 ausgebildet, die in situ dotiert wird. Auf der Polysiliziumschicht 313 wird eine Wolframsilizidschicht 314 ausgebildet. Die Polysiliziumschicht 313 und die Wolframsilizidschicht 314 werden fotolithografisch strukturiert (Fotolithografie und anschließendes Ätzen der Schichten 313, 314), und anschließend wird der Fotolithografie-Lack gestrippt (entfernt). Aus der Polysiliziumschicht 313 und der Wolframschicht 314 werden so ein Source-seitiges Steuergate 315 und ein Drain-seitiges Steuergate 316 ausgebildet. Das Source-seitige Steuergate 315 und das Drain-seitige Steuergate 316 sind miteinander elektrisch gekoppelt.

Fig. 3e zeigt die fertige Speicherzelle im Querschnitt.

Fig. 3f zeigt zur weiteren Veranschaulichung zwei nebeneinander angeordnete erfindungsgemäße Speicherzellen wie die in Fig. 3e gezeigte von oben.

Bei alternativen Ausführungsformen der erfindungsgemäßen Speicherzelle ist das Substrat 100, 300 ein n-Substrat. In diesem Fall weist der Kanalbereich einen p-Kanal auf. In diesem Dokument sind folgende Veröffentlichungen zitiert:

[1] K. Naruke, S. Yamada, E. Obi, S. Taguchi, and M. Wada, "A new flash-erase EEPROM cell with a sidewall select-gate on its source side", Tech. Digest, 1989, IEDM, pp. 25.7.1-25.7.4

[2] US 6,335,554 B1

[3] DE 10036911 A1

Bezugszeichenliste

Fig. 1

100	Substrat
101	Source-Bereich
102	Drain-Bereich
103	Kanalbereich
104	Source-seitiges Steuergate
105	Source-seitiger Randabschnitt des Kanalbereichs 103
106	Drain-seitiges Steuergate
107	Drain-seitiger Randabschnitt des Kanalbereichs 103
108	Injektionsgate
109	mittlerer Abschnitt des Kanalbereichs 103
110	Source-seitiges Speicherelement
111	Drain-seitiges Speicherelement
112	Gateoxidanordnung
113	Gateoxidschicht

Fig. 3

300	Substrat
301	Gateoxidschicht
302	Injektionsgate:
	302a Polysilizium
	302b Wolfram
	302c TEOS
303	Nitrid-Spacer
304	Source-Bereich
305	Drain-Bereich
306	Dickoxid
307	Bereiche neben dem Injektionsgate
308	untere Oxidschicht
309	Speicherelement-Schicht

- 310 obere Oxidschicht
- 311 Source-seitiges Speicherelement
- 312 Drain-seitiges Speicherelement
- 313 Polysiliziumschicht
- 314 Wolframschicht
- 315 Source-seitiges Steuergate
- 316 Drain-seitiges Steuergate

Patentansprüche**1. Speicherzelle mit:**

einem Substrat,

einem im Substrat ausgebildeten Source-Bereich,

einem im Substrat ausgebildeten Drain-Bereich,

einem zwischen dem Source-Bereich und dem Drain-Bereich verlaufenden Kanalbereich mit einer veränderbaren elektrischen Leitfähigkeit,

einem Source-seitigen Steuergate, das sich zumindest teilweise über einem sich an den Source-Bereich anschließenden Source-seitigen Randabschnitt des Kanalbereichs erstreckt und zum Verändern der elektrischen Leitfähigkeit des Source-seitigen Randabschnitts ausgebildet ist,

einem Drain-seitigen Steuergate, das sich zumindest teilweise über einem sich an den Drain-Bereich anschließenden Drain-seitigen Randabschnitt des Kanalbereichs erstreckt und zum Verändern der elektrischen Leitfähigkeit des Drain-seitigen Randabschnitts ausgebildet ist,

einem zwischen dem Source-seitigen Steuergate und dem Drain-seitigen Steuergate angeordneten und von diesen elektrisch entkoppelten Injektionsgate, das sich über einem mittleren Abschnitt des Kanalbereichs erstreckt und zum Verändern der elektrischen Leitfähigkeit des mittleren Abschnitts ausgebildet ist, wobei der mittlere Abschnitt sich zwischen dem Source-seitigen Randabschnitt und dem Drain-seitigen Randabschnitt des Kanalbereichs erstreckt,

einem Source-seitigen Speicherelement, das sich zumindest zwischen dem Source-seitigen Randabschnitt und dem Source-seitigen Steuergate erstreckt, und

einem Drain-seitigen Speicherelement, das sich zumindest zwischen dem Drain-seitigen Randabschnitt und dem Drain-seitigen Steuergate erstreckt,

einer Gateoxidanordnung, die zumindest eine Gateoxidschicht aufweist, die sich zwischen dem Substrat einerseits und dem Source-seitigen Steuergate, dem Drain-seitigen Steuergate und dem Injektionsgate andererseits erstreckt.

2. Speicherzelle nach Anspruch 1,
bei der das Speicherelement Siliziumnitrid aufweist.
3. Speicherzelle nach Anspruch 1 oder 2,
bei der das Speicherelement Siliziumdioxid aufweist.
4. Speicherzelle nach einem der Ansprüche 1 bis 3,
bei der das Speicherelement integrierter Teil einer ONO-Schicht ist, die aus einer ersten Siliziumdioxidschicht, einer auf der ersten Siliziumdioxidschicht ausgebildeten Siliziumnitridschicht und einer auf der Siliziumnitridschicht ausgebildeten zweiten Siliziumdioxidschicht ausgebildet ist.
5. Speicherzelle nach Anspruch 4,
bei der die Gateoxidschicht mit der ersten Siliziumdioxidschicht einstückig ausgebildet ist.
6. Speicherzelle nach einem der Ansprüche 1 bis 5,
bei der das Source-seitige Steuergate und das Drain-seitige Steuergate miteinander elektrisch gekoppelt sind.
7. Speicherzelle nach einem der Ansprüche 1 bis 6,
bei der der Kanalbereich einen n-Kanal aufweist.
8. Speicherzelle nach einem der Ansprüche 1 bis 6,
bei der der Kanalbereich einen p-Kanal aufweist.
9. Verfahren zum Programmieren einer Speicherzelle nach einem der Ansprüche 1 bis 8,
bei dem
an den Source-Bereich eine elektrische Source-Spannung mit einem Source-Spannungs-Wert angelegt wird und
an den Drain-Bereich eine elektrische Drain-Spannung mit einem Drain-Spannungs-Wert angelegt wird, wobei der Source-Spannungs-Wert und der Drain-Spannungs-Wert unterschiedlich sind,

an das Injektionsgate eine elektrische Injektionsgate-Spannung mit einem Injektionsgate-Spannungswert angelegt ist und

an das Source-seitige Steuergate eine elektrische Source-Steuergate-Spannung mit einem Source-Steuergate-Spannungswert angelegt ist und an das Drain-seitige Steuergate eine elektrische Drain-Steuergate-Spannung mit einem Drain-Steuergate-Spannungswert angelegt ist,

wobei der Source-Steuergate-Spannungswert und der Drain-Steuergate-Spannungswert jeweils dem Betrag nach größer sind als der Injektionsgate-Spannungswert.

10. Verfahren nach Anspruch 9,

bei dem der Source-Steuergate-Spannungswert und der Drain-Steuergate-Spannungswert gleich sind.

1/4

FIG 1

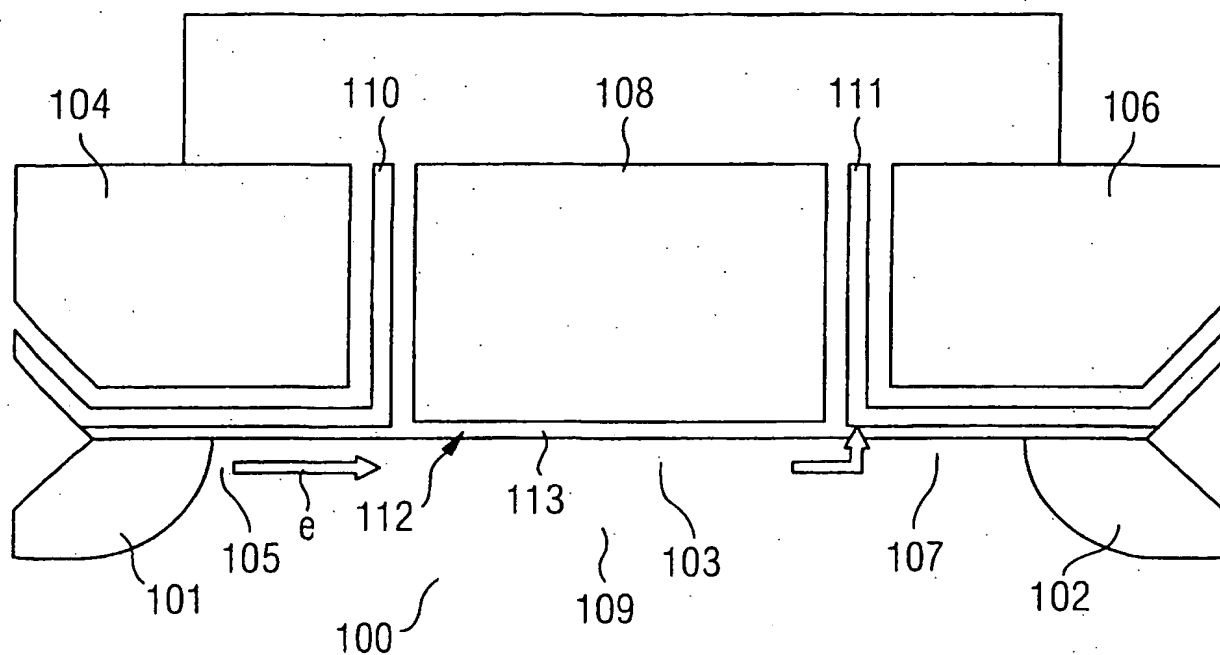
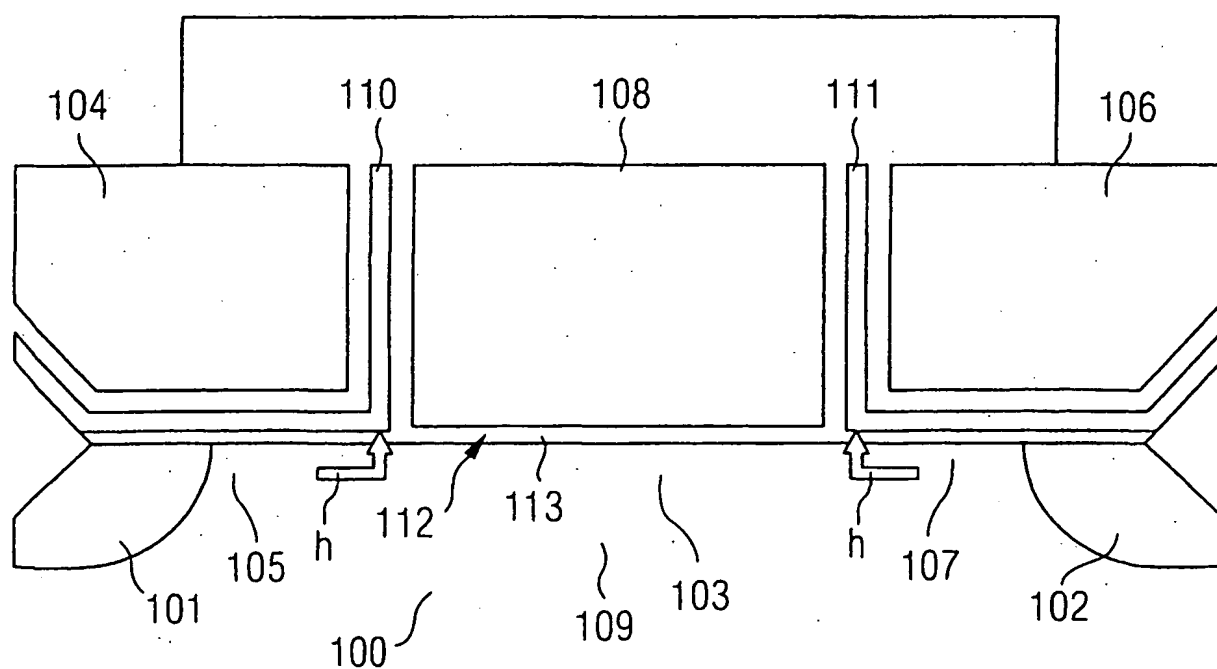


FIG 2



2/4

FIG 3a

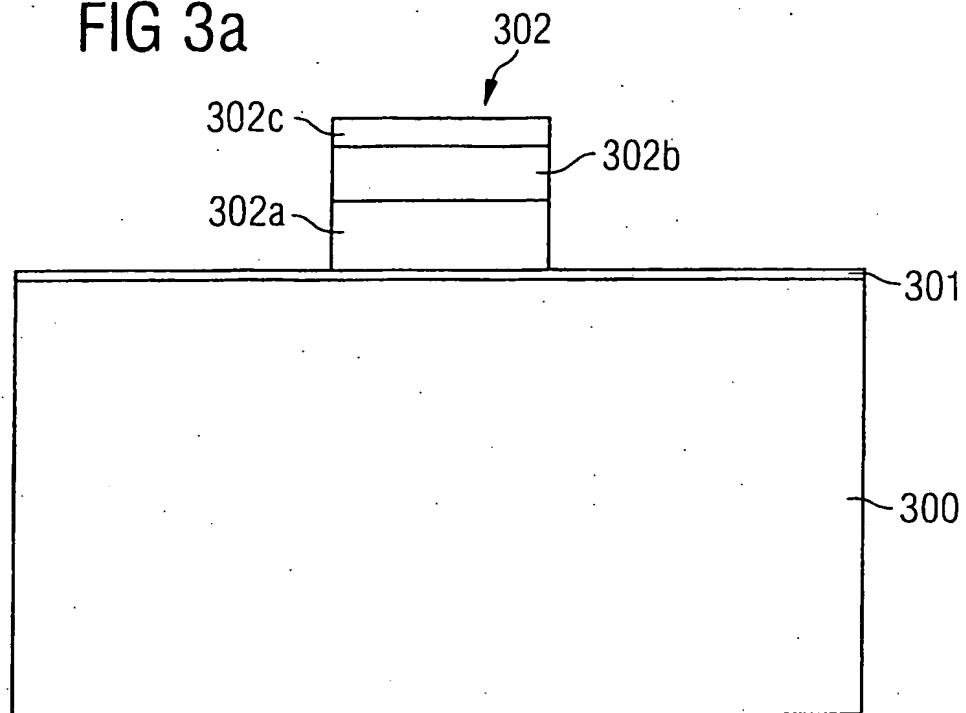
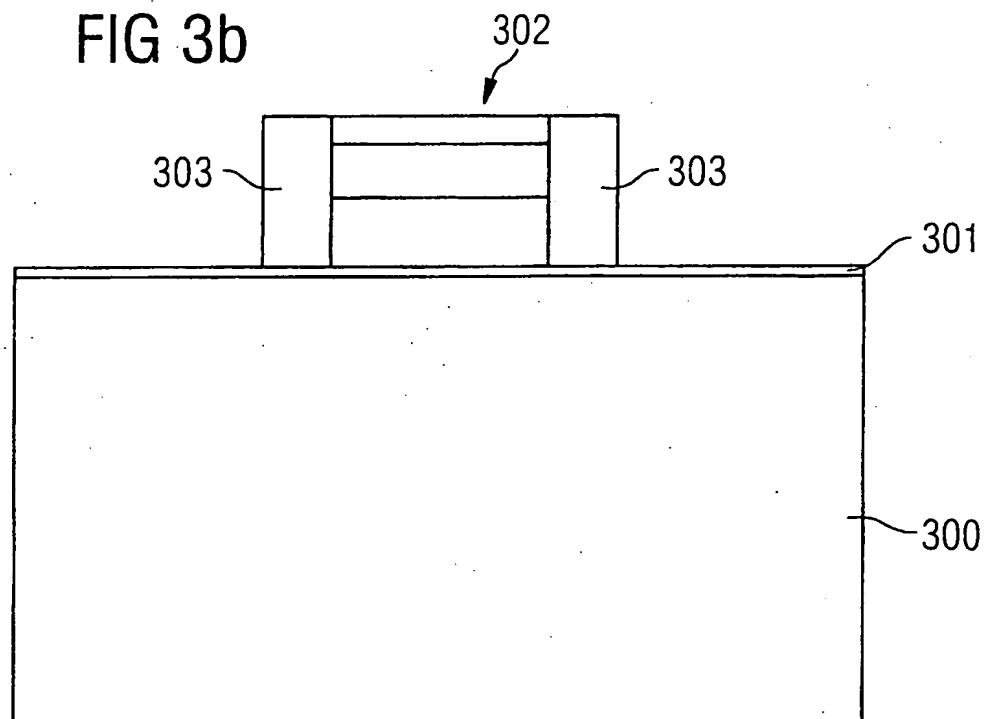


FIG 3b



3/4

FIG 3c

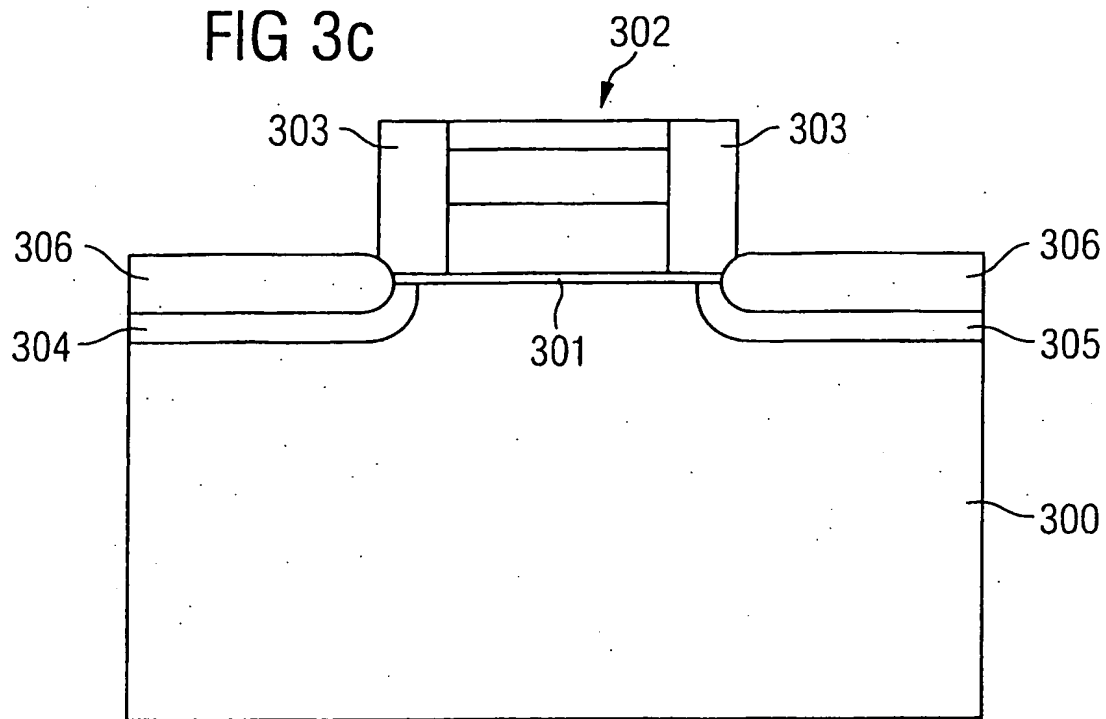
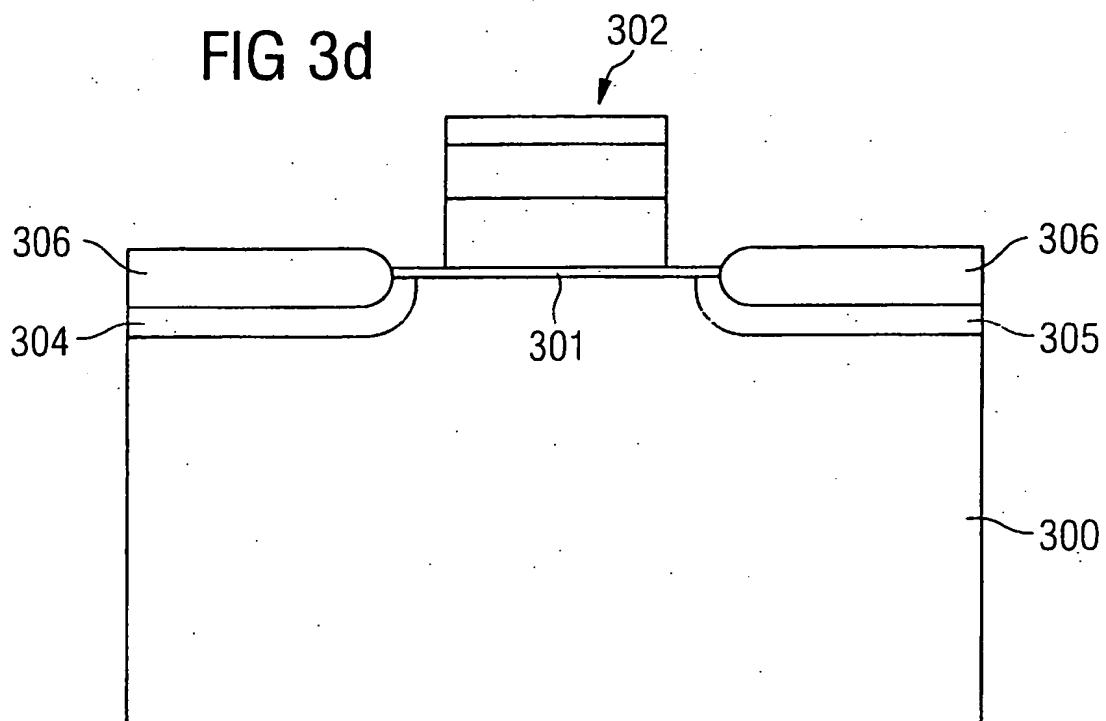


FIG 3d



4/4

FIG 3e

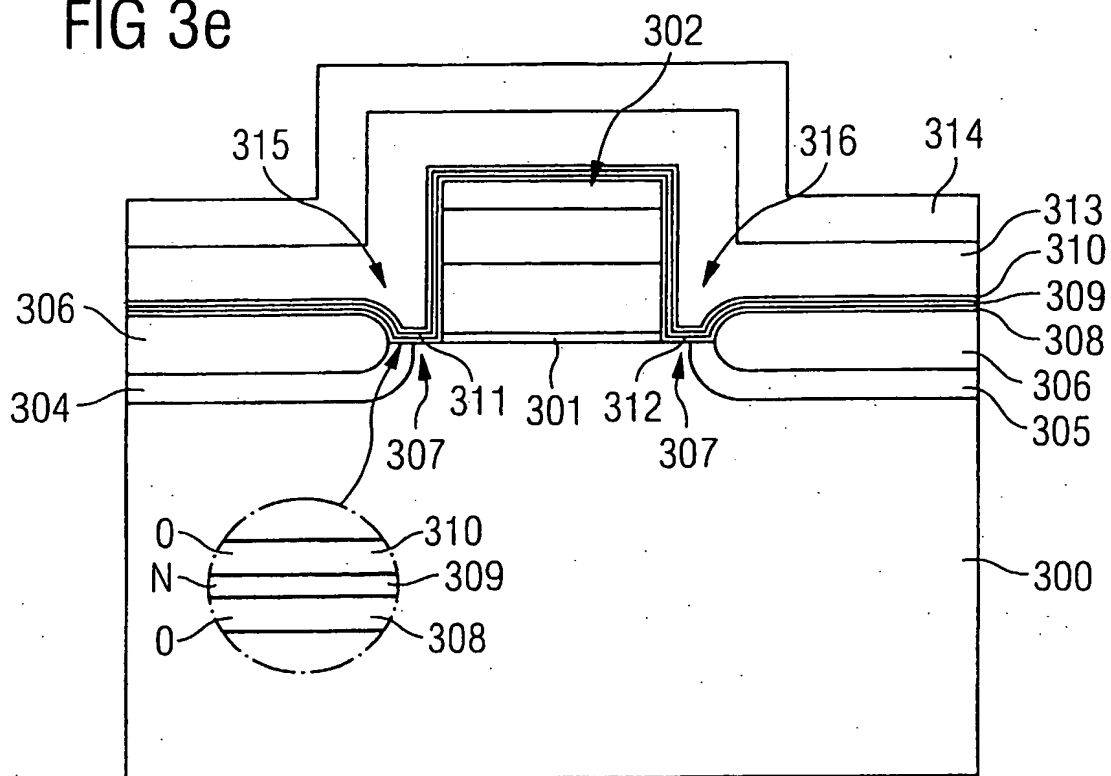
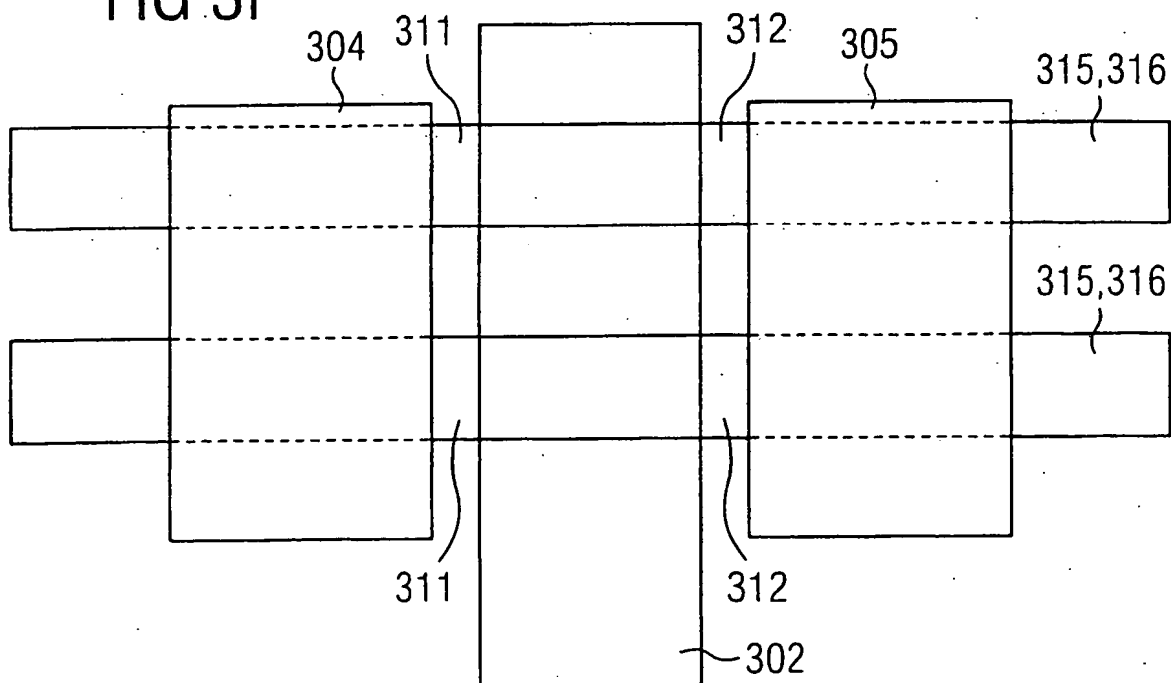


FIG 3f



(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
27. Februar 2003 (27.02.2003)

PCT

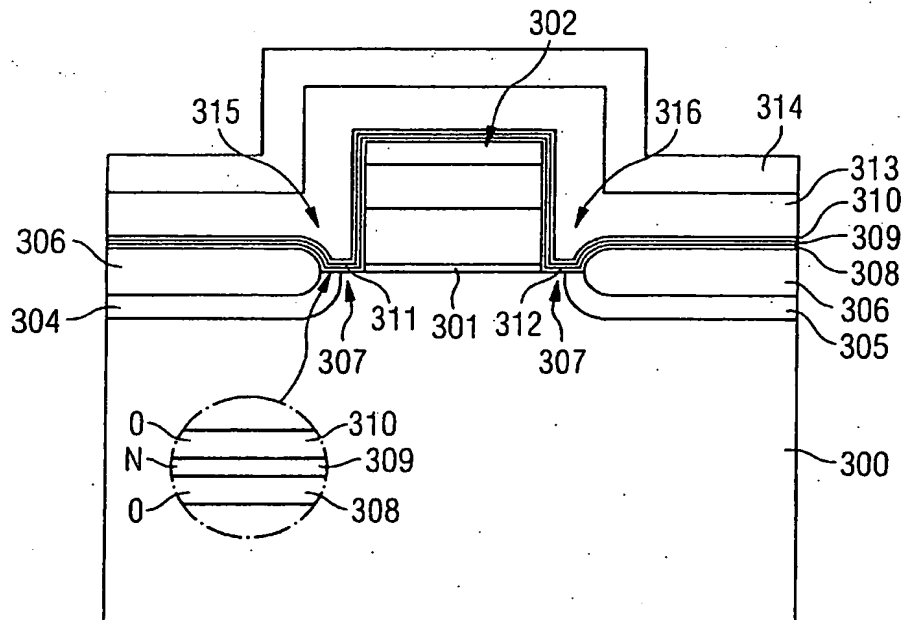
(10) Internationale Veröffentlichungsnummer
WO 03/017374 A3

- (51) Internationale Patentklassifikation⁷: H01L 29/792, 27/115
- (21) Internationales Aktenzeichen: PCT/DE02/02759
- (22) Internationales Anmeldedatum:
26. Juli 2002 (26.07.2002)
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität:
101 38 585.4 6. August 2001 (06.08.2001) DE
- (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-
Martin-Strasse 53, 81669 München (DE).
- (72) Erfinder; und
- (75) Erfinder/Anmelder (nur für US): HOFMANN, Franz
[DE/DE]; Herbergstrasse 25B, 80995 München (DE).
WILLER, Josef [DE/DE]; Friedrich-Fröbel-Strasse 62,
85521 Riemerling (DE).
- (74) Anwalt: VIERING, JENTSCHURA & PARTNER;
Steinsdorfstrasse 6, 80538 München (DE).
- (81) Bestimmungsstaaten (national): BR, CA, CN, IL, IN, JP,
KR, MX, RU, UA, US.
- (84) Bestimmungsstaaten (regional): europäisches Patent (AT,
BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR,
IE, IT, LU, MC, NL, PT, SE, SK, TR).
- Veröffentlicht:
— mit internationalem Recherchenbericht

[Fortsetzung auf der nächsten Seite]

(54) Title: MEMORY CELL

(54) Bezeichnung: SPEICHERZELLE



(57) Abstract: The invention relates to a memory cell comprising a source region, a drain region, a control gate which is situated on the source side, a control gate which is situated on the drain side, an injection gate which is arranged between the source-side control gate and the drain-side control gate, a source-side memory element which is arranged in relation to the source-side control gate, and a drain-side memory element which is arranged in relation to the drain-side control gate. In order to program the memory cell, a low electrical voltage is applied to the injection gate and a high electrical voltage is applied to the control gate.

[Fortsetzung auf der nächsten Seite]

WO 03/017374 A3



(88) Veröffentlichungsdatum des internationalen
Recherchenberichts:

30. Mai 2003

*Zur Erklärung der Zweibuchstaben-Codes und der anderen
Abkürzungen wird auf die Erklärungen ("Guidance Notes on
Codes and Abbreviations") am Anfang jeder regulären Ausgabe
der PCT-Gazette verwiesen.*

(57) Zusammenfassung: Eine Speicherzelle weist auf: einen Source-Bereich, (304) einen Drain-Bereich (305), ein Source-seitiges Steuergate (315), ein Drain-seitiges Steuergate (316), ein zwischen dem Source-seitigen Steuergate (315) und dem Drain-seitigen Steuergate (316) angeordnetes Injektionsgate, (302) ein beim Source-seitigen Steuergate (315) angeordnetes Source-seitiges Speicherelement (311) und ein beim Drain-seitigen Steuergate (316) angeordnetes Drain-seitiges Speicherelement (312). Zum Programmieren der Speicherzelle wird an das Injektionsgate (302) eine niedrige und an die Steuergates eine hohe elektrische Spannung angelegt.

INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 02/02759

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L29/792 H01L27/115

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	HAYASHI Y ET AL: "TWIN MONOS CELL WITH DUAL CONTROL GATES" 2000 SYMPOSIUM ON VLSI TECHNOLOGY. DIGEST OF TECHNICAL PAPERS. HONOLULU, JUNE 13-15, 2000, SYMPOSIUM ON VLSI TECHNOLOGY, NEW YORK, NY: IEEE, US, 13 June 2000 (2000-06-13), pages 122-123, XP000970787 ISBN: 0-7803-6306-X the whole document --- -/--	1-4, 7, 9

☒ Further documents are listed in the continuation of box C.☐ Patent family members are listed in annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *&* document member of the same patent family

Date of the actual completion of the international search

13 February 2003

Date of mailing of the international search report

21/02/2003

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Baillet, B

INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 02/02759

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	PATENT ABSTRACTS OF JAPAN vol. 2000, no. 22, 9 March 2001 (2001-03-09) -& JP 2001 148434 A (NEW HEIRO:KK;HALO LSI DESIGN & DEVICE TECHNOL INC), 29 May 2001 (2001-05-29) abstract	1-5,7,9
P,X	& US 6 388 293 B1 (OGURA ET AL.) 14 May 2002 (2002-05-14) the whole document -----	1-5,7,9

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 02/02759

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
JP 2001148434 A	29-05-2001	US 6388293 B1	14-05-2002
		US 2002149060 A1	17-10-2002
		US 2002149061 A1	17-10-2002
		US 2002008993 A1	24-01-2002

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H01L29/792 H01L27/115

Nach der internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RESEARCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, PAJ

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	HAYASHI Y ET AL: "TWIN MONOS CELL WITH DUAL CONTROL GATES" 2000 SYMPOSIUM ON VLSI TECHNOLOGY. DIGEST OF TECHNICAL PAPERS. HONOLULU, JUNE 13-15, 2000, SYMPOSIUM ON VLSI TECHNOLOGY, NEW YORK, NY: IEEE, US, 13. Juni 2000 (2000-06-13), Seiten 122-123, XP000970787 ISBN: 0-7803-6306-X das ganze Dokument --- -/--	1-4,7,9



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

Z Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

13. Februar 2003

Absendedatum des internationalen Recherchenberichts

21/02/2003

Name und Postanschrift der internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Beauftragter

Baillet, B

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	PATENT ABSTRACTS OF JAPAN vol. 2000, no. 22, 9. März 2001 (2001-03-09) -& JP 2001 148434 A (NEW HEIRO:KK;HALO LSI DESIGN & DEVICE TECHNOL INC), 29. Mai 2001 (2001-05-29) Zusammenfassung	1-5,7,9
P,X	& US 6 388 293 B1 (OGURA ET AL.) 14. Mai 2002 (2002-05-14) das ganze Dokument -----	1-5,7,9

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 02/02759

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
JP 2001148434 A	29-05-2001	US 6388293 B1	14-05-2002
		US 2002149060 A1	17-10-2002
		US 2002149061 A1	17-10-2002
		US 2002008993 A1	24-01-2002
<hr/>			